

(Translation)

**JAPAN PATENT OFFICE**

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Filing Date :                October 29, 2002

Application Number : 2002-314030

Applicant(s):                KONICA MINOLTA HOLDINGS, INC.

September 2, 2003

Commissioner,

Japan Patent Office

Yasuo IMAI

Issue Number: 2003-3070852

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 2 年 1 0 月 2 9 日

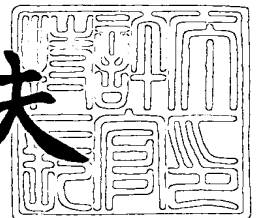
出 願 番 号  
Application Number: 特 願 2 0 0 2 - 3 1 4 0 3 0  
[ST. 10/C]: [ J P 2 0 0 2 - 3 1 4 0 3 0 ]

出 願 人  
Applicant(s): コニカミノルタホールディングス株式会社

2 0 0 3 年 9 月 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 0 8 5 2

【書類名】 特許願

【整理番号】 DIJ02592

【提出日】 平成14年10月29日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/00

【発明の名称】 画像形成装置

【請求項の数】 7

【発明者】

    【住所又は居所】 東京都八王子市石川町 2 9 7 0 番地 コニカ株式会社内

    【氏名】 高木 幸一

【特許出願人】

    【識別番号】 000001270

    【氏名又は名称】 コニカ株式会社

【代理人】

    【識別番号】 100085187

    【弁理士】

    【氏名又は名称】 井島 藤治

【手数料の表示】

    【予納台帳番号】 009542

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9004575

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像形成装置

【特許請求の範囲】

【請求項 1】 画像形成する画素の基準となるドットクロックを生成し、該ドットクロックに基づいて各画素の露光を記録紙の両面に順次行う画像形成装置であって、

一方の面について形成された像と他方の面に形成された像とのずれを誤差情報として検出するずれ検出手段と、

基本クロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、前記ずれを調整すべき面について生成するドットクロックの立ち上がりもしくは立ち下がりタイミングを変化させるデジタルディレイ式ドットクロック調整手段と、

前記ずれ検出手段で検出された前記誤差情報に応じて前記ずれを補正するように、前記デジタルディレイ式ドットクロック調整手段での複数の遅延クロックの選択を制御する制御手段と、  
を備え、

前記ずれ検出手段は主走査方向の 3 箇所以上でテストパターンを形成することで前記誤差情報を検出すると共に、前記制御手段は主走査方向の 3 箇所以上で前記誤差情報に基づいて前記ずれを補正するように前記デジタルディレイ式ドットクロック調整手段の制御を行う、  
ことを特徴とする画像形成装置。

【請求項 2】 前記デジタルディレイ式ドットクロック調整手段は、

前記基本クロックを細かく遅延させて複数の遅延クロックを生成するディレイチェーン部と、

端部の基準となるインデックス信号に同期した状態の複数の遅延クロック（同期遅延クロック）を前記ディレイチェーン部から選び出し、複数の同期遅延クロックから前記ディレイチェーン部の遅延段数を同期情報として出力する同期検出部と、

前記同期検出部からの前記同期遅延クロックと前記同期情報と前記誤差情報と

から、前記複数の遅延クロックの中からどの位相の遅延クロックを選択すべきかのセレクト信号を生成する選択制御部と、

前記複数の遅延クロックの中から前記セレクト信号に応じた遅延クロックを選択してドットクロックとして出力する選択部と、

を有することを特徴とする請求項 1 記載の画像形成装置。

【請求項 3】 前記デジタルディレイ式ドットクロック調整手段は、前記ずれを調整すべき面で同一の回路として設けられている、

ことを特徴とする請求項 1 または請求項 2 のいずれかに記載の画像形成装置。

【請求項 4】 前記ずれ検出手段と、前記デジタルディレイ式ドットクロック調整手段と、前記制御手段とは、各部がデジタル回路で構成されている、ことを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の画像形成装置。

【請求項 5】 前記デジタルディレイ式ドットクロック調整手段の外部に設けられた制御手段の制御により動作する、

ことを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の画像形成装置。

【請求項 6】 前記デジタルディレイ式ドットクロック調整手段の内部に設けられた制御手段の制御により動作する、

ことを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の画像形成装置。

【請求項 7】 前記制御手段は、画像形成に用いる主走査方向のラインの画素数を  $L$ 、前記 3 以上の  $n$  個のテストパターンで分割された範囲のそれぞれの画素数を  $L_1 \sim L_{n-1}$ 、前記 3 以上のテストパターン間で算出された前記ずれ量を  $N_1 \sim N_{n-1}$  とした場合に、 $1 \leq j \leq n$  である  $j$  について、各テストパターン間で  $N_j / L_j$  のずれ補正量を、それぞれのテストパターン間の各画素で均等に割り振るようにして、前記ドットクロックの遅延段数の選択に還元する、

ことを特徴とする請求項 1 乃至請求項 6 のいずれかに記載の画像形成装置。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本発明は両面で画像形成することが可能な画像形成装置に関する。

【0 0 0 2】

**【従来の技術】**

画像形成装置では、画像データに応じて変調したレーザビームを主走査方向に走査し、副走査方向に回転する像担持体上に画像を形成している。この場合に、ドットクロックと呼ばれる画素クロックを基準にして、レーザビームを画像データで変調している。

**【0 0 0 3】**

また、図 7 は本実施の形態例の画像形成装置のプリントエンジンの機械的構成を示す構成図である。

**【0 0 0 4】**

この図 7 においては、両面画像形成が可能な画像形成装置を具体例にする。

**【0 0 0 5】**

ここで、1 0 はトナー像が形成される像担持体としての感光体ドラム、1 1 は感光体ドラム 1 0 に所定の電位を与える帯電極である。

**【0 0 0 6】**

2 0 は感光体ドラム 1 0 の表面に画像情報に応じてレーザビームを走査することと静電潜像を形成せしめるための書き込みユニットである。

**【0 0 0 7】**

3 0 は感光体ドラム 1 0 の表面に形成された静電潜像を現像剤（トナー）で現像してトナー像を形成せしめるための現像器である。

**【0 0 0 8】**

4 0 は感光体ドラム 1 0 のトナー像を記録紙に転写すると共に、該転写紙を感光体ドラム 1 0 から分離するための転写分離極である。なお、クリーニング部などは省略してある。

**【0 0 0 9】**

5 0 は記録紙が蓄積されている給紙部であり、給紙カセット 5 1 と給紙部カセット 5 2 とがここでは示されている。なお、給紙カセットの段数はこの例に限定されるものではない。

**【0 0 1 0】**

6 1 ～ 6 8 は搬送ローラあるいは通路切り替え手段などの搬送手段である。6

1 は給紙カセットから記録紙を送り出す給紙ローラ、6 2 は給紙カセット 5 0 ( 5 1 あるいは 5 2 ) からの記録紙が通る搬送路、6 3 a と 6 3 b とは画像形成のタイミングに合わせて記録紙を送り出すレジストローラ、6 5 は記録紙の排出と循環とを切り替える通路切り替え手段、6 6 a ・ 6 6 b ～ 6 8 a ・ 6 8 b は記録紙の表裏を反転させる反転ローラ、6 9 a ・ 6 9 b は記録紙を装置外に排出するための排紙ローラである。

#### 【 0 0 1 1 】

7 0 は記録紙上のトナー像を熱と圧力とにより固着 ( 熱定着 ) させる定着ユニットであり、熱ローラ 7 1 ( あるいは 7 2 ) と圧着ローラ 7 2 ( あるいは 7 1 ) とにより記録紙を挟持搬送しつつトナー像の定着を行う。

#### 【 0 0 1 2 】

なお、このようにレーザビームを用いる書き込みユニット 2 0 の構成は、図 8 のようになっている。

#### 【 0 0 1 3 】

すなわち、書き込みユニット回路部 2 0 0 にてドットクロックに基づいて生成されたレーザ駆動用信号に基づいて、レーザダイオード ( L D ) 2 6 0 が発光してレーザビームを発生する。

#### 【 0 0 1 4 】

そして、L D 2 6 0 からのレーザビームは、コリメータレンズ 2 6 1、シリンドリカルレンズ 2 6 2 を通った後にポリゴンミラー 2 6 3 で主走査方向に走査される。

#### 【 0 0 1 5 】

ポリゴンミラー 2 6 3 で走査されたレーザビームは、 $f \theta$  レンズ 2 6 4 により等速で走査するように調整される。さらに、シリンドリカルレンズ 2 6 5 を通過して感光体ドラム 1 0 に書き込まれる。なお、ポリゴンミラーで走査されたレーザビームの一部はインデックスセンサ 2 6 6 に導かれて、タイミングが検出される。

#### 【 0 0 1 6 】

このように記録紙にトナー像を形成する画像形成装置の場合、定着ユニット 7

0 により熱定着がなされているため、熱によって記録紙中の水分が蒸発し、定着前より若干ではあるが縮む現象が発生する。

**【0 0 1 7】**

このため、記録紙第 1 面に形成される画像と、一旦定着ユニット 7 0 を経由した記録紙第 2 面に形成される画像とでは、同一サイズの画像を書き込んだとしても、完全には同一サイズにならない。

**【0 0 1 8】**

このような両面画像形成可能な画像形成装置が軽印刷などの分野で使用される場合には、このような記録紙表裏画像サイズの違いが、透かして見た場合に明らかになってくる場合がある。

**【0 0 1 9】**

このような場合に、主走査方向のズレを解消するため、V C X O（電圧制御型水晶発振器）や D D S（デジタルダイレクトシンセサイザ）などの技術によって、ドットクロックの周波数を変更する発明が、たとえば、以下の特許文献 1 に記載されている。

**【0 0 2 0】**

また、主走査方向のズレを解消するため、P L L（フェーズドックドループ）の技術によって、ドットクロックの周波数を変更する発明が、たとえば、以下の特許文献 2 に記載されている。

**【0 0 2 1】**

**【特許文献 1】**

特開 2 0 0 2 - 2 0 2 6 4 8 号公報（第 1 3 頁、図 1）

**【特許文献 2】**

特開 2 0 0 0 - 1 9 9 8 6 8 号公報（第 4 頁、図 7）

**【0 0 2 2】**

**【発明が解決しようとする課題】**

しかし、以上の表裏画像サイズの違いは、単なる画像の全体サイズの伸び縮みだけの問題ではなく、軽印刷に使用される画像の種類によっては、始端～終端の伸び縮みだけではなく、その途中の画素ずれが問題になることがある。



**【 0 0 2 3 】**

f  $\theta$  レンズの特性によっては、左端から右端までの間で各画素が全く均等な間隔にならないこともあり、そのような場合には、始端～終端を揃えたとしても、表裏での画素ずれが透けて目立つこともあり得る。

**【 0 0 2 4 】**

すなわち、以上の特許文献 1 や特許文献 2 記載の技術を両面画像形成に応用した場合、主走査方向の伸び縮みを調整して、始端～終端を揃えることはできるものの、始端と終端の中間部分の画素ずれの調整を行うことはできない。

**【 0 0 2 5 】**

また、以上の VCXO、DDS、PLL では、単体の精度としては問題がないが、画像形成装置のシステムとして 1 チップ化することができないために、他のチップと VCXO や DDS 等のチップを組み合わせる使用することになり、精度が劣化したり、コストがアップしたりする問題がある。

**【 0 0 2 6 】**

本発明は、上記の課題を解決するためになされたものであって、その目的は、両面画像形成する際の表裏画素ずれを、1 チップ化が可能な回路構成で、始端～終端の伸び縮みだけではなく中間部分でも画素ずれを精度良く解消することが可能な画像形成装置を提供することにある。

**【 0 0 2 7 】****【課題を解決するための手段】**

すなわち、課題を解決する手段としての本発明は以下に説明するようなものである。

**【 0 0 2 8 】**

(1) 請求項 1 記載の発明は、画像形成する画素の基準となるドットクロックを生成し、該ドットクロックに基づいて各画素の露光を記録紙の両面に順次行う画像形成装置であって、一方の面について形成された像と他方の面に形成された像とのずれを誤差情報として検出するずれ検出手段と、基本クロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、前記ずれを調整すべき面について生成するドットクロックの立ち

上がりもしくは立ち下がりタイミングを変化させるデジタルディレイ式ドットクロック調整手段と、前記ずれ検出手段で検出された前記誤差情報に応じて前記ずれを補正するように、前記デジタルディレイ式ドットクロック調整手段での複数の遅延クロックの選択を制御する制御手段と、を備え、前記ずれ検出手段は主走査方向の3箇所以上でテストパターンを形成することで前記誤差情報を検出すると共に、前記制御手段は主走査方向の3箇所以上で前記誤差情報に基づいて前記ずれを補正するように前記デジタルディレイ式ドットクロック調整手段の制御を行う、ことを特徴とする画像形成装置である。

#### 【0029】

この発明では、画像形成する画素の基準となるドットクロックを生成し、該ドットクロックに基づいて各画素の露光を記録紙の両面に順次行う際に、基本クロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、ずれを調整すべき面について生成するドットクロックの立ち上がりもしくは立ち下がりタイミングを変化させるようにしておき、それぞれの面の主走査方向の3箇所以上でテストパターンを形成することで両面のずれに関する誤差情報を検出し、該誤差情報に応じて複数の遅延クロックの選択を制御することで両面のずれを補正する。

#### 【0030】

この発明では、PLLなどのアナログフィードバック回路を持たないデジタル方式の回路構成であるため、他のデジタル回路と共に1チップ化することが可能であって、精度の高い表裏画素ずれ解消を行うことが可能になる。

#### 【0031】

さらに、この発明では、主走査方向の3箇所以上で誤差情報を検出してずれ補正を実行しているので、始端と終端とを揃えるだけでなく、中間部分の画素ずれの調整を行うことが可能になる。

#### 【0032】

(2) 請求項2記載の発明は、前記デジタルディレイ式ドットクロック調整手段は、前記基本クロックを細かく遅延させて複数の遅延クロックを生成するディレイチェーン部と、端部の基準となるインデックス信号に同期した状態の複数

の遅延クロック（同期遅延クロック）を前記ディレイチェーン部から選び出し、複数の同期遅延クロックから前記ディレイチェーン部の遅延段数を同期情報として出力する同期検出部と、前記同期検出部からの前記同期遅延クロックと前記同期情報と前記誤差情報とから、前記複数の遅延クロックの中からどの位相の遅延クロックを選択すべきかのセレクト信号を生成する選択制御部と、前記複数の遅延クロックの中から前記セレクト信号に応じた遅延クロックを選択してドットクロックとして出力する選択部と、を有することを特徴とする請求項 1 記載の画像形成装置である。

#### 【0 0 3 3】

この発明では、上記（1）のデジタルディレイ式ドットクロック調整手段は、基本クロックをディレイチェーン部で細かく遅延させて複数の遅延クロックを生成し、同期検出部にて同期情報を検出し、同期情報と誤差情報とから選択制御部がセレクト信号を生成し、複数の遅延クロックの中からセレクト信号に応じた遅延クロックを選択部にて選択してドットクロックとして出力する。

#### 【0 0 3 4】

この結果、デジタルディレイ式ドットクロック調整手段では、PLLなどのアナログフィードバック回路を持たないデジタル方式の回路構成であるため、他のデジタル回路と共に 1 チップ化するのに好適であって、精度の高い表裏画素ずれ解消を行うことが可能になる。

#### 【0 0 3 5】

（2）請求項 3 記載の発明は、前記デジタルディレイ式ドットクロック調整手段は、前記ずれを調整すべき面で同一の回路として設けられている、ことを特徴とする請求項 1 または請求項 2 のいずれかに記載の画像形成装置である。

#### 【0 0 3 6】

この発明では、上記（1）または（2）におけるデジタルディレイ式ドットクロック調整手段を、ずれを調整すべきそれぞれの面で共通した回路として備えている。この結果、精度の高い表裏画素ずれ解消を行いつつ、回路規模の削減を図ることができる。

#### 【0 0 3 7】

(4) 請求項 4 記載の発明は、前記ずれ検出手段と、前記デジタルディレイ式ドットクロック調整手段と、前記制御手段とは、各部がデジタル回路で構成されている、ことを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の画像形成装置である。

#### 【0038】

この発明では、ずれ検出手段と、デジタルディレイ式ドットクロック調整手段と、制御手段とは、各部がデジタル回路で構成されているため、上記(1)～(3)において、1チップ化に適した状態で精度の高い表裏画素ずれ解消を行うことができる。

#### 【0039】

(5) 請求項 5 記載の発明は、前記デジタルディレイ式ドットクロック調整手段の外部に設けられた制御手段の制御により動作する、ことを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の画像形成装置である。

#### 【0040】

この発明では、デジタルディレイ式ドットクロック調整手段の外部に設けられたCPUなどの制御手段の制御により動作するため、精度の高い表裏画素ずれ解消を行うことができる。

#### 【0041】

(6) 請求項 6 記載の発明は、前記デジタルディレイ式ドットクロック調整手段の内部に設けられた制御手段の制御により動作する、ことを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の画像形成装置である。

#### 【0042】

この発明では、デジタルディレイ式ドットクロック調整手段の内部に設けられた制御手段の制御により動作するため、1チップ化に適した状態で精度の高い表裏画素ずれ解消を行うことができる。

#### 【0043】

(7) 請求項 7 記載の発明は、前記制御手段は、画像形成に用いる主走査方向のラインの画素数をL、前記3以上のn個のテストパターンで分割された範囲のそれぞれの画素数をL1～Ln-1、前記3以上のテストパターン間で算出された前

記ずれ量を  $N_1 \sim N_{n-1}$  とした場合に、 $1 \leq j \leq n$  である  $j$  について、各テストパターン間で  $N_j / L_j$  のずれ補正量を、それぞれのテストパターン間の各画素で均等に割り振るようにして、前記ドットクロックの遅延段数の選択に還元する、ことを特徴とする請求項 1 乃至請求項 6 のいずれかに記載の画像形成装置である。

#### 【0 0 4 4】

この発明では、画像形成に用いる主走査方向の 3 個以上のテストパターン間で、各テストパターン間で  $N_j / L_j$  のずれ補正量を、それぞれのテストパターン間の各画素で均等に割り振るようにして、前記ドットクロックの遅延段数の選択に還元している。

#### 【0 0 4 5】

このように、主走査方向の 3 箇所以上で誤差情報を検出し、それぞれのテストパターン間の各画素で均等に割り振るようにドットクロックの遅延段数の選択に還元することで、始端と終端とを揃えるだけでなく、中間部分にて画素ずれ調整を良好に行うことが可能になる。

#### 【0 0 4 6】

##### 【発明の実施の形態】

以下、図面を参照して、本発明の画像形成装置の実施の形態例を詳細に説明する。なお、ここでは、図 7 と図 8 とに示した画像形成装置を具体例にして説明を行うものとする。すなわち、本実施の形態例の画像形成装置は、両面画像形成が可能な画像形成装置である。なお、モノクロであってもカラーであっても構わない。

#### 【0 0 4 7】

以下、本発明の画像形成装置の実施の形態例を詳細に説明する。この図 1 では、書き込みユニット回路部 2 0 0、露光を行う LD 2 6 0、インデックスセンサ 2 6 6、画素ずれ検知センサ 2 7 0 を示している。

#### 【0 0 4 8】

ここで書き込みユニット 2 0 の書き込みユニット回路部 2 0 0 は、感光体ドラム 1 0（図 7 参照）の表面に画像データに応じてレーザビームを走査することで静電潜像を形成せしめる。

**【0049】**

また、この図1において、書き込みユニット回路部200は、画像形成装置全体を制御する制御手段としてのCPU201と、本実施の形態例の特徴となるドットクロック調整部210と、画像処理を行う画像処理部220と、画像処理結果に基づいてドットクロックに従ってLD駆動信号を生成するLD駆動部230とを有している。

**【0050】**

また、画素ずれ検知センサ270は、定着ユニット70の下流側に、主走査方向3箇所以上の位置で画素ずれの検知を行うように設置され、定着後の所定のパターンを読み取るように設置されているものとする。

**【0051】**

以下、ドットクロック調整部210の構成と動作とを順に説明する。なお、ドットクロック調整部210は、請求項における「デジタルディレイ式ドットクロック調整手段」であり、以下の(A)，(B)，(C)，(D)により構成されている。

**【0052】**

(A) 遅延信号生成：

ディレイチェーン部213は入力信号（クロック発生部211からの基本クロック）を遅延させて位相が少しずつ異なる複数の遅延信号（遅延信号群：図1①）を得るためのディレイ素子群である。

**【0053】**

ここで、ディレイチェーン部213は、位相が少しずつ異なる遅延信号について、基本クロックの2周期分にわたって生成できる段数になるようにチェーン状にディレイ素子が縦続接続されていることが好ましい。

**【0054】**

なお、クロック発生部211は、カラー画像形成装置の場合には、YMCK各色のクロック発生回路にそれぞれ内蔵されていてもよいが、単一のクロック発生部211から各色それぞれのクロック発生回路に基本クロックを分配してもよい。

**【0055】**

また、インデックスセンサ 266 は、図 8 に既に示したように、レーザビームの走査における基準位置の露光タイミングを検出し、そのタイミングを示すインデックス信号を生成する。

**【0056】**

(B) 同期検出：

同期検出部 214 はインデックスセンサ 266 で生成されたインデックス信号を受け、遅延信号群（図 1 ①）の中でインデックス信号に同期している遅延信号の段数（同期ポイント）を検出する検出手段であり、同期ポイント情報（図 1 ②）を出力する。

**【0057】**

ここで、同期検出部 214 は、遅延信号群（図 1 ①）の中で、最初にインデックス信号に同期している第 1 同期ポイント情報 SP1 と、2 番目にインデックス信号に同期している第 2 同期ポイント情報 SP2 と、を出力できることが好ましい。

**【0058】**

ディレイチェーン部 213 からの複数の遅延信号は、温度変化などの影響によって遅延時間に大きく変動が生じている可能性があるため、このようにして、所定の変動しない時間（インデックス信号から次のインデックス信号までの間）に、どれだけの遅延信号が含まれているかを検出しておく。これにより、遅延信号群の 1 段あたりの遅延時間を逆算することができる。

**【0059】**

(C) 選択制御：

選択制御部 215 は、同期検出部 214 からの同期ポイント情報（図 1 ②）と、CPU 201 からの周波数ずれ情報（図 1 ③）とに基づいて、同期補正量を求め、遅延信号群（図 1 ①）の中からのどの位相の遅延信号を選択すべきかのセレクト信号（図 1 ④）を出力するものである。なお、周波数ずれ情報については、後述する。

**【0060】**

(D) 選択：

選択部 2 1 6 は選択制御部 2 1 5 からのセレクト信号（図 1 ④）を受け、遅延信号群（図 1 ①）の中から対応する位相の遅延信号を選択し、選択された遅延信号を立ち上がりおよび立ち下がりとすることで矩形波を生成し、その矩形波をドットクロック（図 1 ⑤）として出力するものである。

【 0 0 6 1 】

このようにして、ドットクロックを生成する際の立ち上がりと立ち下がりとを選択されたタイミングの遅延信号とすることで、ドットクロックの周期をわずかに増加もしくは減少させている。これにより、次の①と②を実現する。

- ①所定時間内に発生するパルス数を所定数にした信号を生成することで、主走査 1 ラインの長さを揃え、始端～終端間の長さを一定にする。
- ②主走査方向で 3 箇所以上の誤差情報を用いて、ドットクロックのタイミングを主走査方向 3 箇所以上で調整することで、表裏の画素ずれを抑制する。

【 0 0 6 2 】

すなわち、クロック発生部 2 1 1 で発振して生成する基本クロックの発振周波数を微調整して合わせるのではなく、クロック周波数自体は変えずに、位相（ドットクロックのパルスの位置もしくはタイミング）を細かく徐々に変えた遅延信号を所定時間内に順次選択することで、以上の①だけではなく、従来は不可能であった②をも実現している。

【 0 0 6 3 】

〈ドットクロック調整のためのずれ検出の原理〉

ここで、図 2 のフローチャートと、図 3 の説明図とを参照してずれ検出の様子について簡単に説明する。書き込みユニット回路部 2 0 0 は、ずれ検出時に、ROM 2 2 1 に格納されている所定のパターンの画像を、感光体ドラム 1 0 上の主走査方向始端側、末端側、および、その中間、合計で 3 箇所以上を形成する（図 2 S 1）。図 3 では、所定のパターンとして、「フ」字状のパターンを用いた例を示し、かつ、主走査方向 3 箇所に形成した様子を一例として示している。

【 0 0 6 4 】

ここで、記録紙上には、実際には実線で示すパターンが形成されているが、本



来は破線で示すパターンが形成される予定であったとする。ここでは、書き込みユニットや各光学系の収差や定着による縮みなどにより、主走査方向にそれぞれ、 $d x 1$ 、 $d x 2$ 、 $d x 3$ のずれが発生していることになる。

#### 【0 0 6 5】

定着ユニット 7 0 を通過した記録紙上のパターンを読み取れる位置に配置された表裏画素ずれ検知センサ 2 7 0 で読み取りを行う（図 2 S 2）ことで、「フ」字状のパターンの横線から斜線までの距離  $Y 1'$  には  $d y 1$  のずれが含まれ、距離  $Y 2'$  には  $d y 2$  のずれが含まれ、距離  $Y 3'$  には  $d y 3$  のずれが含まれることになる。

#### 【0 0 6 6】

横線と斜線とがなす角度を  $\theta$  とすると、 $d x 1 = d y 1 / \tan \theta$  で求められる。さらに、像担持体の副走査方向の移動速度と、横線と斜線の読み取り時刻の差とにより、 $d y 1$  を求めることもできる。

#### 【0 0 6 7】

同様に、横線と斜線とがなす角度を  $\theta$  とすると、 $d x 2 = d y 2 / \tan \theta$  で求められる。さらに、像担持体の副走査方向の移動速度と、横線と斜線の読み取り時刻の差とにより、 $d y 2$  を求めることもできる。

#### 【0 0 6 8】

さらに同様に、横線と斜線とがなす角度を  $\theta$  とすると、 $d x 3 = d y 3 / \tan \theta$  で求められる。さらに、像担持体の副走査方向の移動速度と、横線と斜線の読み取り時刻の差とにより、 $d y 3$  を求めることもできる。

#### 【0 0 6 9】

以上のようにして、テストパターンの位置（ずれ状態）を CPU 2 0 1 が算出する（図 2 S 3）。

#### 【0 0 7 0】

そして、一方の面にテストパターンが形成されて読み取られた記録紙を、反転搬送路を通過させて、その他方の面にも同様にしてテストパターンの記録（図 2 S 4）、画素ずれ検知センサ 2 7 0 によるテストパターンの読み取り（図 2 S 5）、テストパターンの位置（ずれ状態）算出（図 2 S 6）を行う。そして、CP

U 2 0 1 は、それぞれの面のテストパターンの位置（ずれ状態）を比較し、両面での画素ずれ状態を算出する（図 2 S 7）。

#### 【 0 0 7 1 】

したがって、記録紙の両面について、このような所定のパターンの形成と読み取りとを、副走査方向には同じ位置であって主走査方向の 3 箇所以上で行うことで、C P U 2 0 1 が主走査方向の画像の伸び縮みや画素ずれに関するずれ状態（周波数ずれ情報）を検出することが可能になる。

#### 【 0 0 7 2 】

このようにして C P U 2 0 1 が以上のような検出処理を記録紙両面に行って、周波数ずれ情報（図 1 ③）として書き込みユニット回路部 2 0 0 の選択制御部 2 1 5 に供給する。

#### 【 0 0 7 3 】

なお、同様にして、C P U 2 0 1 は、主走査方向始端側で「フ」字状パターンの検出を実行することにより、主走査方向の画像の開始位置に関する画像先端ずれ情報を求め、この画像先端ずれ情報を書き込みユニット回路部 2 0 0 内の選択制御部 2 1 5 に供給することも可能である。

#### 【 0 0 7 4 】

以上のようにして、両面での画素ずれ状態を示す周波数ずれ情報を元にして、通常の画像形成時には、ドットクロック調整部 2 1 0 が両面での画素ずれ状態を解消する状態のドットクロックを生成して画像形成を行う（図 2 S 7）。

#### 【 0 0 7 5 】

##### 〈画像形成装置の動作〉

つぎに、この実施の形態例の画像形成装置の動作の説明を、図 4 のタイムチャートを参照して行う。

#### 【 0 0 7 6 】

##### 〈デジタルディレイ式ドットクロック調整の動作〉

まず、図 4 のタイムチャートを参照し、ずれ情報を参照して、基本クロックのパルスがある時間毎にシフトさせ、パルス数が所定数になるようにすると共に、この所定数のパルスを発生させる時間が所定時間になるように調整し、さらに、

ドットクロックのタイミングを主走査方向 3 箇所以上で調整して表裏の画素ずれを抑制する動作について、ドットクロックを発生するところまでを説明する。

#### 【 0 0 7 7 】

前述した所定パターンの形成と読み取りとによって検出されたずれ E R を示すずれ情報、基本クロックの周波数から求められるクロック周期 T C のクロック周期情報、主走査方向に形成すべき画素数 P H を示す 1 ライン画素数情報が、C P U 2 0 1 から選択制御部 2 1 5 内の補正量演算手段に与えられる。

#### 【 0 0 7 8 】

また、同期検出部 2 1 4 からの第 1 同期ポイント情報 S P 1 と第 2 同期ポイント情報 S P 2 とから、同期段数（基本クロック 1 周期分の遅延が得られる段数）N S を求める。

#### 【 0 0 7 9 】

ここで選択制御部 2 1 5 内の補正量演算手段は、以下の式に基づいて、補正量に対応する補正カウント値（カウントロードデータ）C C を求める。

#### 【 0 0 8 0 】

$$C C = P H \times (N S / T C) / E R \quad \cdots \textcircled{1}$$

この補正カウント値 C C は、選択制御部 2 1 5 内の切替カウント手段がカウントダウンしてセレクト信号および下位セレクト信号の切替を行うためのものである。したがって、補正量が大きいほど補正カウント値 C C は小さくなる。

#### 【 0 0 8 1 】

また、同期検出部 2 1 4 はインデックスセンサ 2 6 6 からのインデックス信号の立ち上がりを参照して、このインデックス信号の立ち上がりに同期した遅延信号が得られるディレイチェーン部 2 1 3 の段数を同期ポイント情報として求める。

#### 【 0 0 8 2 】

ここでは、第 1 同期ポイント情報 S P 1 として 2 0 が、第 2 同期ポイント情報 S P 2 として 5 0 が得られたとする。なお、この場合には、上述した同期段数 N S は 3 0 になる。

#### 【 0 0 8 3 】

ここで、書き込みユニットのレーザビームの走査により、インデックスセンサがレーザビームを検出したタイミングでインデックス信号を発生する（図4（a）①）。この後、水平方向の有効領域を示すH\_\_V A L I Dがアクティブになる。

#### 【0084】

そして、選択制御部215内の切替カウント手段は前記補正カウント値CCを基本クロックに従ってカウントダウンすることを繰り返し続ける。そして、カウントダウンによりカウント値が0になる毎に選択制御部215内のセレクト信号演算手段443にカウントデータを割り込みとして与える（図4（d）～（f））。

#### 【0085】

また、CPU201はずれ方向情報を選択制御部215内のセレクト信号演算手段に与えており、主走査方向に伸びたずれに対しては縮める補正を行うための「-補正」、主走査方向に縮んだずれに対しては伸ばす補正を行うための「+補正」の情報を与える。ここでは、「-補正」の場合を例にする。

#### 【0086】

前述した所定パターンの形成とその測定により、ずれ情報ERおよびずれ方向情報が求められているとする。ここでは、 $ER = 6 \text{ ns}$ 、ずれ方向情報＝「-補正」であり、すなわち、画像が伸びていたために縮ませるように補正することを示していたと仮定する。

#### 【0087】

まず、同期検出部214がインデックスセンサ266からのインデックス信号の立ち上がりを参照して、第1同期ポイント情報SP1及び第2同期ポイント情報SP2を求める。

#### 【0088】

前記第1同期ポイント情報SP1はインデックス信号の立ち上がりに同期したディレイチェーン部213のディレイ素子の段数を示しており、前記第2同期ポイント情報SP2は前記第1同期ポイント情報SP1から基本クロック1周期分遅れたディレイチェーン部213のディレイ素子の段数を示している。

## 【0089】

ここでは、 $SP1 = 20$ 、 $SP2 = 50$ であったとする。なお、この様子を図5に示す。ここでは、20段目のDL20（図5（c））と、このDL20からクロック1周期分遅れた50段目のDL50（図5（m））とが、インデックス信号の立ち上がり（図5（a））に同期している状態を示している。

## 【0090】

つぎに、前記第1同期ポイント情報SP1と第2同期ポイント情報SP2から、同期段数NSを求める。ここで、前記同期段数NSは、基本クロック1周期分の時間が何段のディレイ素子の遅延時間に相当するかを示している。本実施の形態例では、同期段数 $NS = SP2 - SP1$ より、 $NS = 30$ となる。

## 【0091】

また、1段あたりのディレイ素子の遅延時間DTを、前記NS及び基本クロックの周期から求める。たとえば、基本クロック周期TCが $30\text{ ns}$ であった場合は $NS = 30$ であるので、 $DT = TC / NS$ より $DT = 1\text{ ns}$ となる。1段あたりのディレイ素子の遅延時間は、集積回路の温度状態や集積回路に供給される電源電圧の変動などに起因して変動するので、ある場合には $1.5\text{ ns}$ になったり、 $0.5\text{ ns}$ になったりすることが考えられる。しかしながら、基本クロック周期TCは変化しないため、同期段数NSを求めることにより、測定時の1段あたりのディレイ素子の遅延時間を正確に求めることができる。

## 【0092】

そして、適正な画像信号を得るためには最終的にディレイ素子何段分ずらすかを示す補正カウント値CCを、ずれ情報ER、ずれ方向情報及び遅延時間DTから求める。ここでは、 $ER = 6\text{ ns}$ 、ずれ方向情報＝「－補正」、 $DT = 1\text{ ns}$ より、補正カウント値 $CC = -6$ となる。

## 【0093】

以上の補正カウント値CCより、適正な画像信号を得るためには最終的にディレイ素子の段数を6段分進めればよい。すなわち、インデックス信号の立ち上がりに同期して最初は50段目のディレイ素子からの信号を採用し、その後セレクト信号に同期して1走査ライン中において、49段目、48段目、47段目、4

6 段目， 4 5 段目の信号に順次置き換えて採用していき、最終的には 4 4 段目からの信号を採用するようにすればよい。

#### 【0094】

なお、補正量が同期段数より大きい場合には、セレクト信号を循環させるようにすればよい。上述した例で、 $SP1 = 20$ ， $SP2 = 50$ ，同期段数 30 の場合の「-補正」では、セレクト信号が 50，49，…，21，20，となった時点で、セレクト信号の 20 とセレクト信号の 50 とは等しい位相であるので、次は 49，48，…とすればよい。すなわち、50，49，…，21，20（=50），49，48…，となる。また、「+補正」においても同様にセレクト信号を循環させるようにすればよい。

#### 【0095】

また、50，47，43，…，22，19 と 3 段ずつ「-補正」する場合には、 $SP1 = 20$  を超えることになるが、19 の次には、 $50 - (20 - 19) - 3 = 46$  とする。すなわち、同期ポイントを超えた分と 1 つの補正量とを加えた状態にして循環させることで、問題なく循環させることができる。

#### 【0096】

このようなセレクト信号を受けた選択部 216 では、ディレイチェーン部 213 からの遅延信号群（図 1①）の中から、50 段目，49 段目，48 段目，47 段目，…のように選択を行って、ドットクロックとして出力する（図 4（g））。

#### 【0097】

この場合には遅延信号群（図 1①）の中から、50 段目，49 段目，48 段目，47 段目，…と選択することで、最初はインデックス信号に同期した遅延信号が得られ、徐々に遅延の少ない（位相が進んだ）遅延信号が得られる。この結果、「-補正」が実現され、主走査方向に伸びているずれを縮めるような補正が実行される。

#### 【0098】

また、「+補正」の場合には、第 1 同期ポイント情報  $SP1$  を初期値として、遅延信号群（図 1①）の中から、20 段目，21 段目，22 段目，23 段目，…

と選択することで、最初はインデックス信号に同期した遅延信号が得られ、徐々に遅延の少ない（位相が遅れた）遅延信号が得られる。この結果、「+補正」が実現され、主走査方向に縮んでいるずれを伸ばすような補正が実行される。

#### 【0 0 9 9】

すなわち、ずれ情報を参照して、基本クロックのパルスのある時間毎にシフトさせ、パルス数が所定数になるようにすると共に、この所定数のパルスを発生させる時間が所定時間になるような調整が行える。

#### 【0 1 0 0】

そして、以上の補正は、ずれ情報 E R（周波数ずれ情報）に基づいた制御がなされているため、主走査方向の長さに関しては正確に調整され、さらに、表裏の画素ずれが抑制される。

#### 【0 1 0 1】

なお、以上の主走査方向の伸び縮みの補正（すなわち主走査倍率補正）の様子を模式的に示すと、図 6 のようになる。ここで、基本クロックと、基本クロックを遅延させた遅延信号（1 遅延～9 遅延）と、ドットクロックとを示している。

#### 【0 1 0 2】

この図 6 に示した場合、基本クロック 4 周期の間に 1 遅延，2 遅延，3 遅延，4 遅延，5 遅延，…と選択することで、4 周期で 3.5 ドットクロックになる。すなわち、 $3.5 / 4 = 87.5\%$  であり、擬似的に周波数が低くなるように制御される。なお、他の選択の仕方を実行しても同様の結果が得られる。

#### 【0 1 0 3】

また、この図 6 の場合では 8 遅延が基本クロックと位相が一致しているため、基本クロック 4 周期の間に 8 遅延，7 遅延，6 遅延，5 遅延，4 遅延…と選択することで、4 周期で 4.5 ドットクロックになる（図示せず）。すなわち、 $4.5 / 4 = 112.5\%$  であり、擬似的に周波数が高くなるように制御される。なお、他の選択の仕方を実行しても同様の結果が得られる。

#### 【0 1 0 4】

以上のようにしてデジタルディレイ式のドットクロック調整部を用いることで、まず、主走査方向の始端～終端までのずれを調整できるが、記録紙の表裏そ

それぞれの主走査方向で3箇所以上の誤差情報を用いて、ドットクロックのタイミングを主走査方向3箇所以上で調整することで、表裏の画素ずれを抑制することができるようになる。

#### 【0105】

なお、以上の具体例では3箇所のテストパターンの例を示したが、更に多くすることで、より細かく表裏の画素ずれを抑制することが可能になる。たとえば、少なくとも4箇所のテストパターンとすることで、左端部／中央付近／右端部の領域で表裏の画素ずれ抑制ができて好ましい。

#### 【0106】

この実施の形態例では、PLLなどのアナログフィードバック回路を持たないデジタル方式の回路構成であるため、他のデジタル回路部分と共に1チップ化することが可能になる。また、そのようにすることで、更に精度の高い表裏画素ずれ解消を行うことが可能になる。

#### 【0107】

また、画像形成に用いる主走査方向のラインの画素数を $L$ 、前記3以上の $n$ 個のテストパターンで分割された範囲のそれぞれの画素数を $L_1 \sim L_{n-1}$ 、前記3以上のテストパターン間で算出された前記ずれ量を $N_1 \sim N_{n-1}$ とした場合に、 $1 \leq j \leq n$ である $j$ について、各テストパターン間で $N_j / L_j$ のずれ補正量を、それぞれのテストパターン間の各画素で均等に割り振るようにして、ドットクロックの遅延段数の選択に還元する、ことが望ましい。

#### 【0108】

このように、主走査方向の3箇所以上で誤差情報を検出し、それぞれのテストパターン間の各画素で均等に割り振るようにドットクロックの遅延段数の選択に還元することで、始端と終端とを揃えるだけでなく、中間部分にて画素ずれ調整を良好に行うことが可能になる。

#### 【0109】

〈その他の実施の形態例〉

以上の実施の形態例では、ドットクロック調整部210の外部にCPU201を設けていたが、ドットクロック調整部210内にCPU201や各種テーブル



などの制御手段を内蔵させることも可能である。

#### 【0 1 1 0】

##### 【発明の効果】

以上詳細に説明したように、本発明では、以下のような効果が得られる。

#### 【0 1 1 1】

この発明では、画像形成する画素の基準となるドットクロックを生成し、該ドットクロックに基づいて各画素の露光を記録紙の両面に順次行う際に、基本クロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、ずれを調整すべき面について生成するドットクロックの立ち上がりもしくは立ち下がりタイミングを変化させるようにしておき、それぞれの面の主走査方向の3箇所以上でテストパターンを形成することで両面のずれに関する誤差情報を検出し、該誤差情報に応じて複数の遅延クロックの選択を制御することで両面のずれを補正する。

#### 【0 1 1 2】

すなわち、PLLなどのアナログフィードバック回路を持たないデジタル方式の回路構成であるため、他のデジタル回路と共に1チップ化することが可能であって、精度の高い表裏画素ずれ解消を行うことが可能になる。

#### 【0 1 1 3】

さらに、この発明では、主走査方向の3箇所以上で誤差情報を検出してずれ補正を実行しているので、主走査方向の始端と終端とを揃えるだけでなく、始端と終端との中間部分の画素ずれの調整を行うことが可能になる。

##### 【図面の簡単な説明】

#### 【図 1】

本発明の一実施の形態例の画像形成装置の主要部の電氣的構成を示す構成図である。

#### 【図 2】

本発明の一実施の形態例の画像形成装置の動作状態を説明するフローチャートである。

#### 【図 3】

本発明の一実施の形態例の画像形成装置におけるずれ検出の動作状態を説明するタイムチャートである。

【図 4】

本発明の一実施の形態例の画像形成装置の動作状態を説明するタイムチャートである。

【図 5】

本発明の一実施の形態例の画像形成装置の動作状態を説明するタイムチャートである。

【図 6】

本発明の一実施の形態例の画像形成装置の動作状態を説明するタイムチャートである。

【図 7】

画像形成装置の書き込み部の機械構成を示す断面図である。

【図 8】

画像形成装置の書き込み部の機械構成を示す斜視図である。

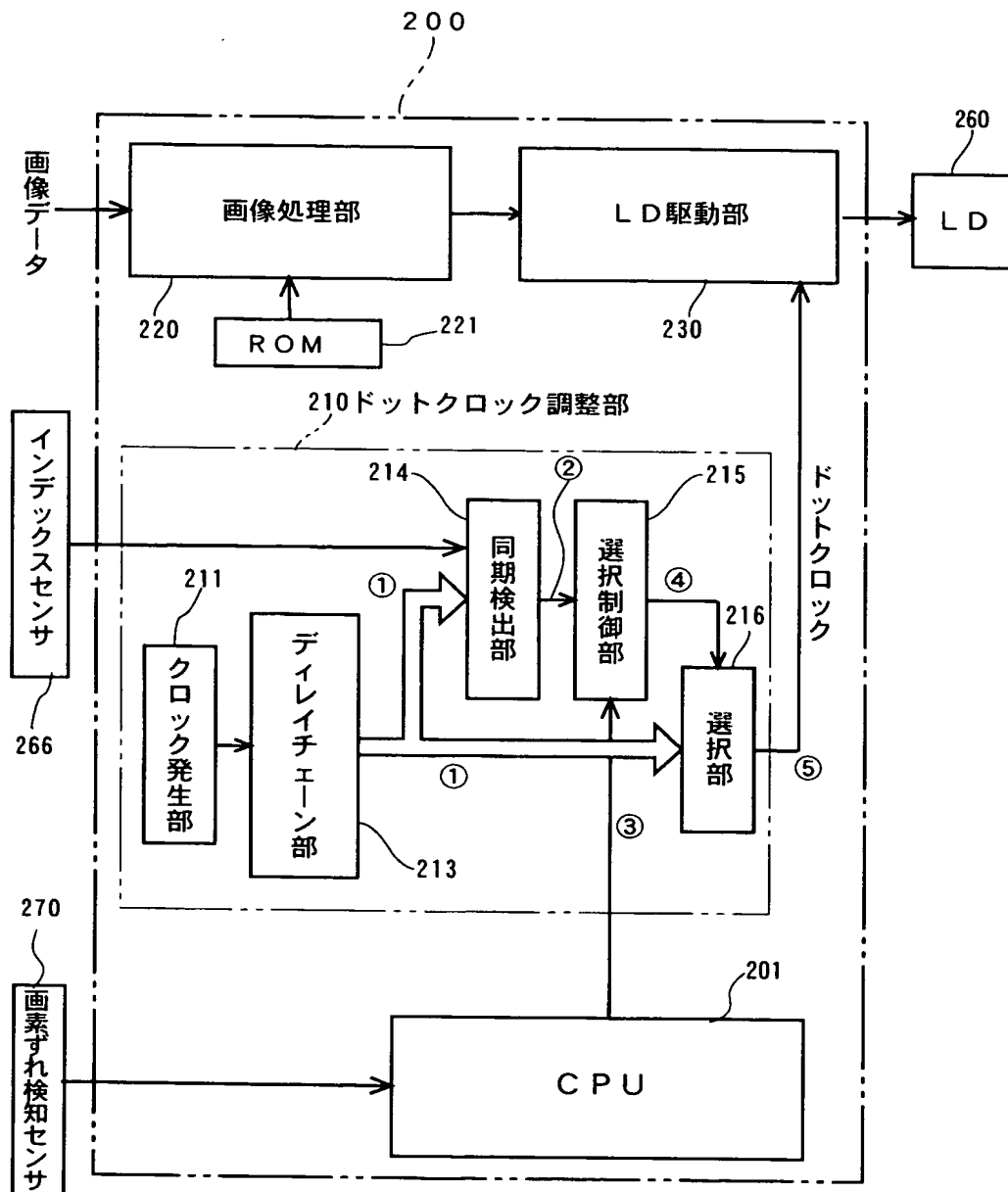
【符号の説明】

- 2 0 書き込みユニット
- 2 0 0 書き込みユニット回路部
- 2 0 1 C P U
- 2 1 0 ドットクロック調整部
- 2 1 1 クロック発生部
- 2 1 3 デイレイチェーン部
- 2 1 4 同期検出部
- 2 1 5 選択制御部
- 2 1 6 選択部
- 2 2 0 画像処理部
- 2 3 0 L D 駆動部
- 2 6 0 レーザダイオード
- 2 6 6 インデックスセンサ

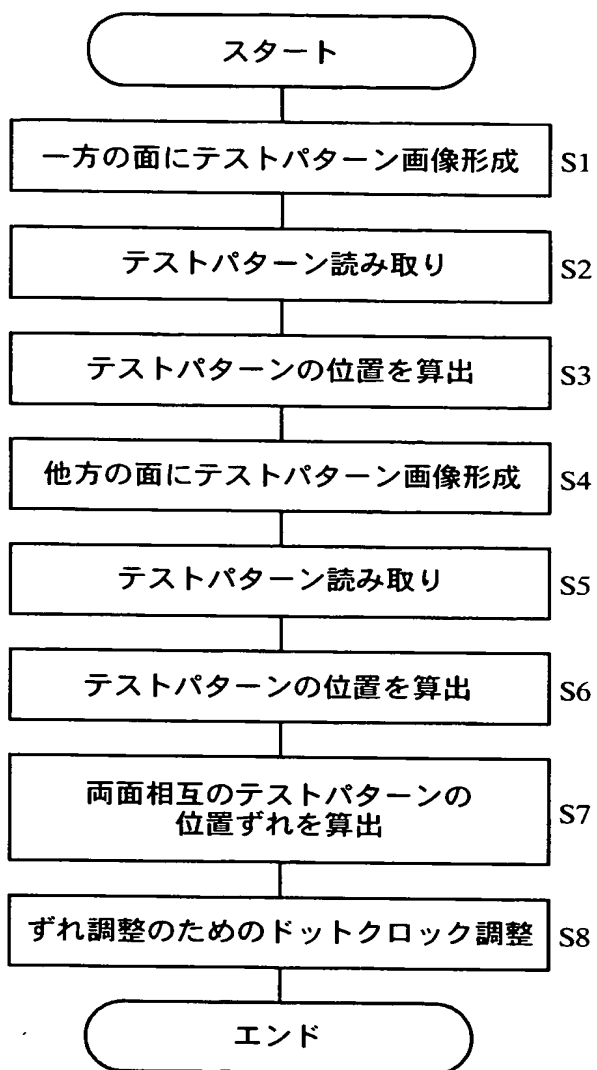
2 7 0 画素ずれ検知センサ

【書類名】 図面

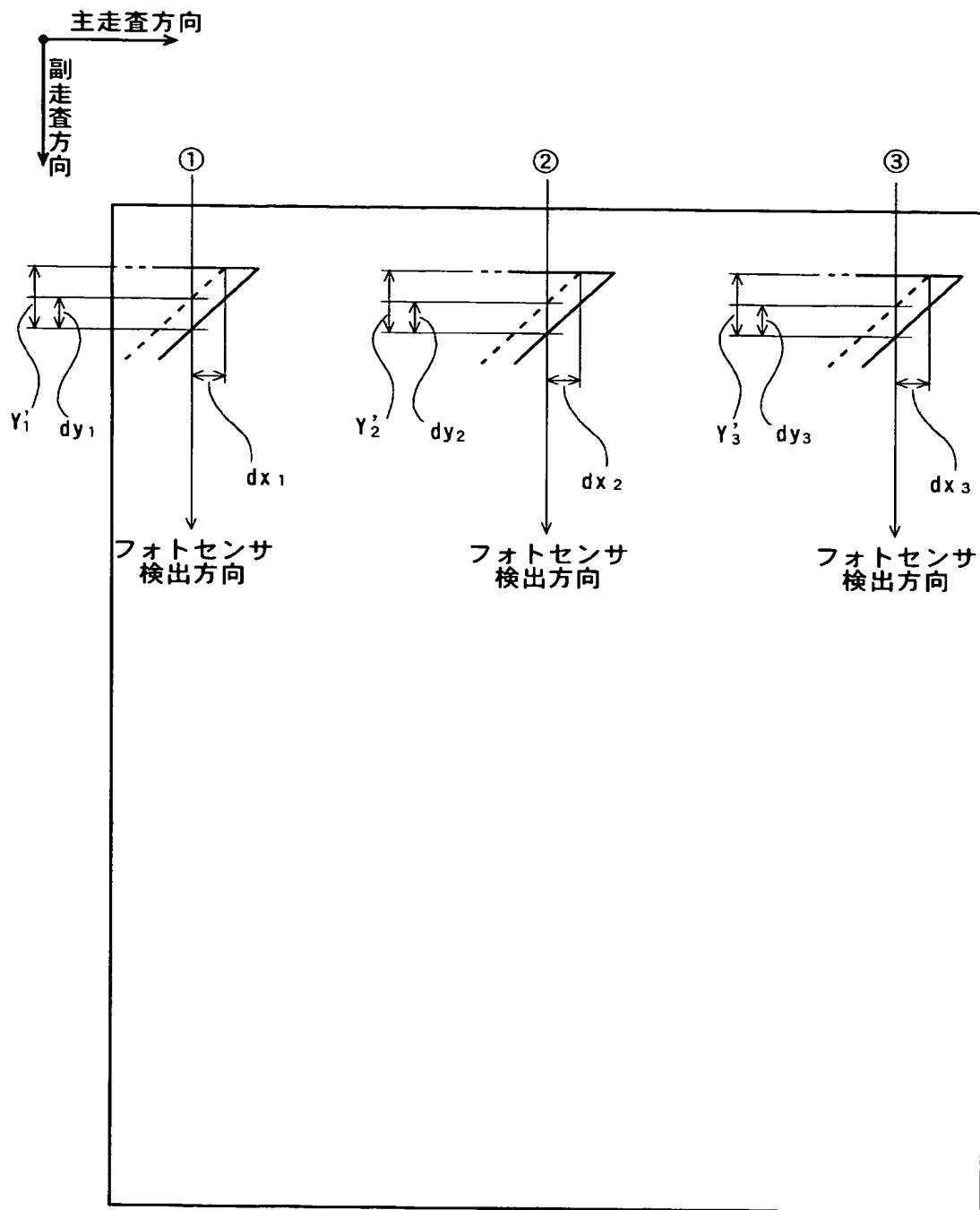
【図 1】



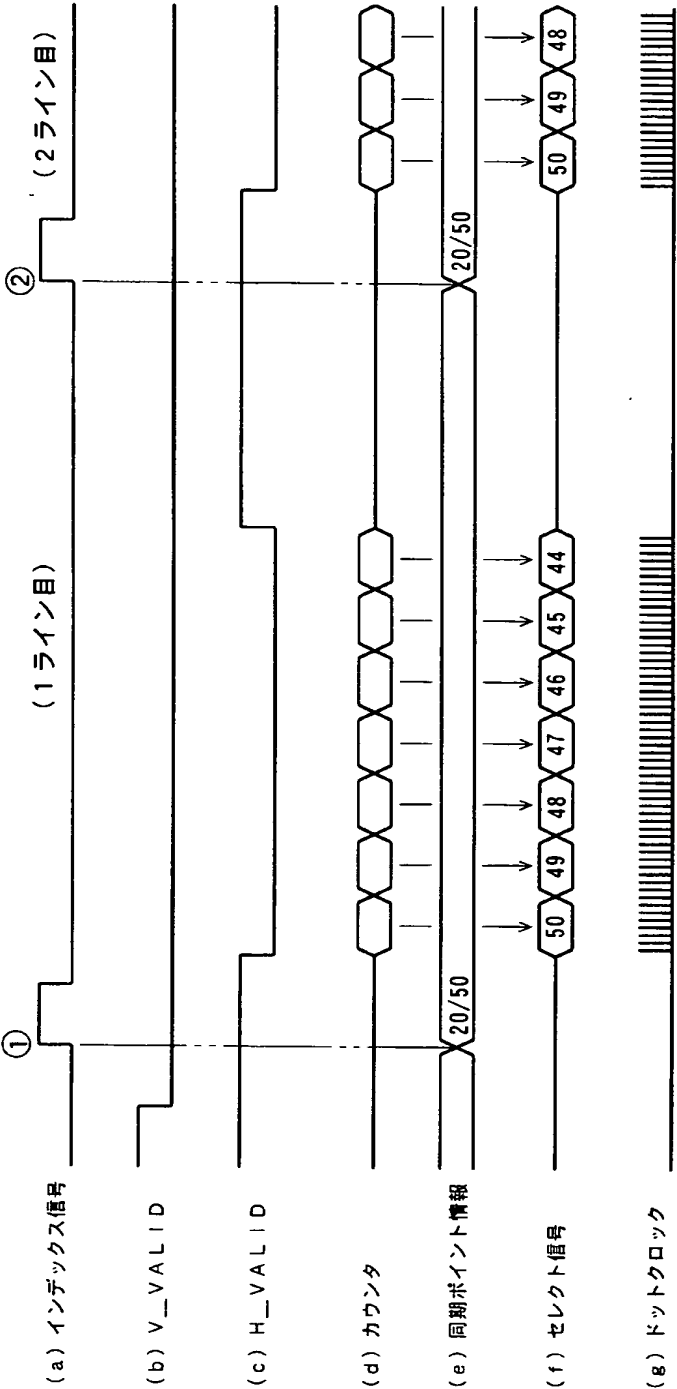
【図 2】



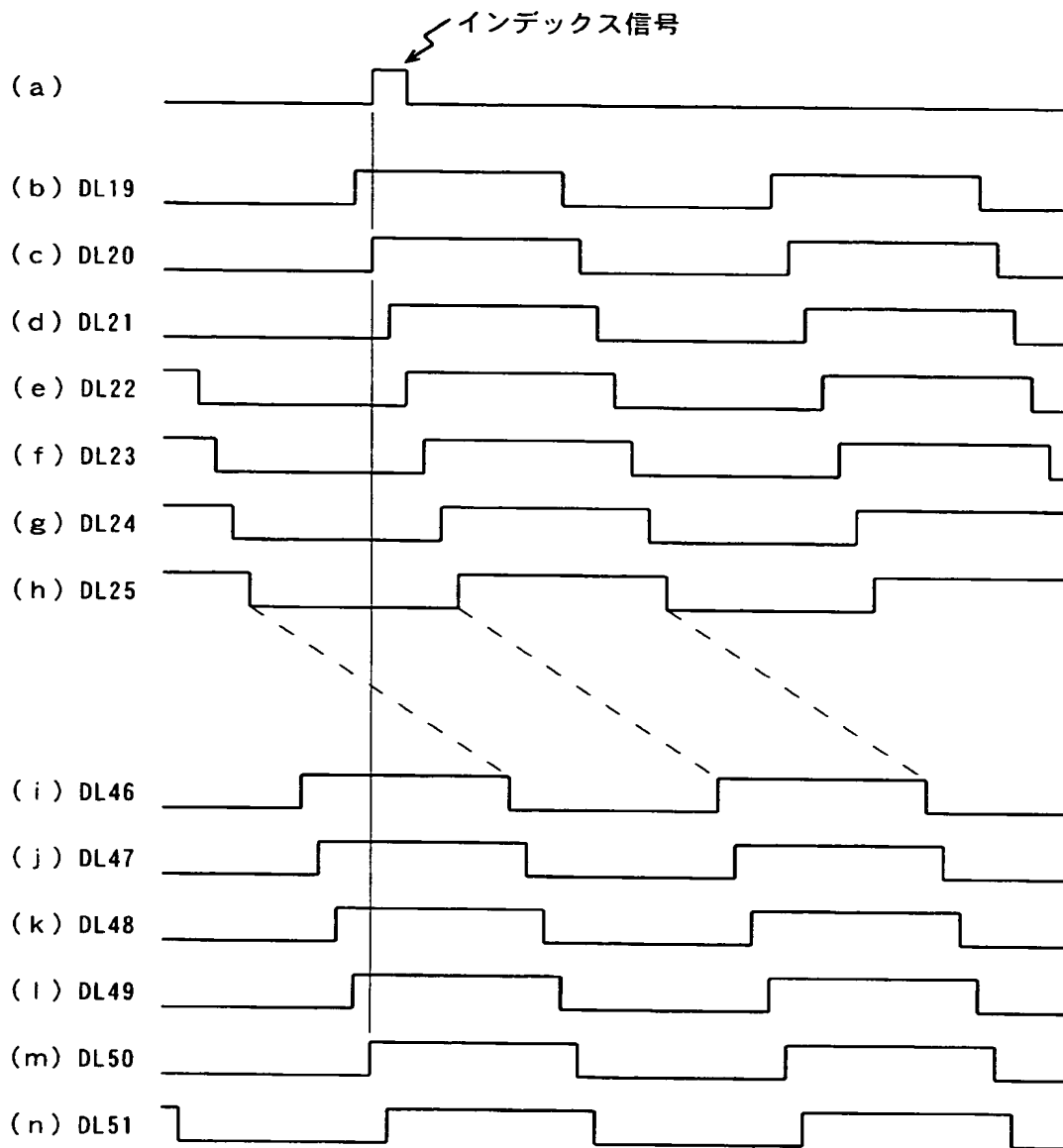
【図 3】



【図4】

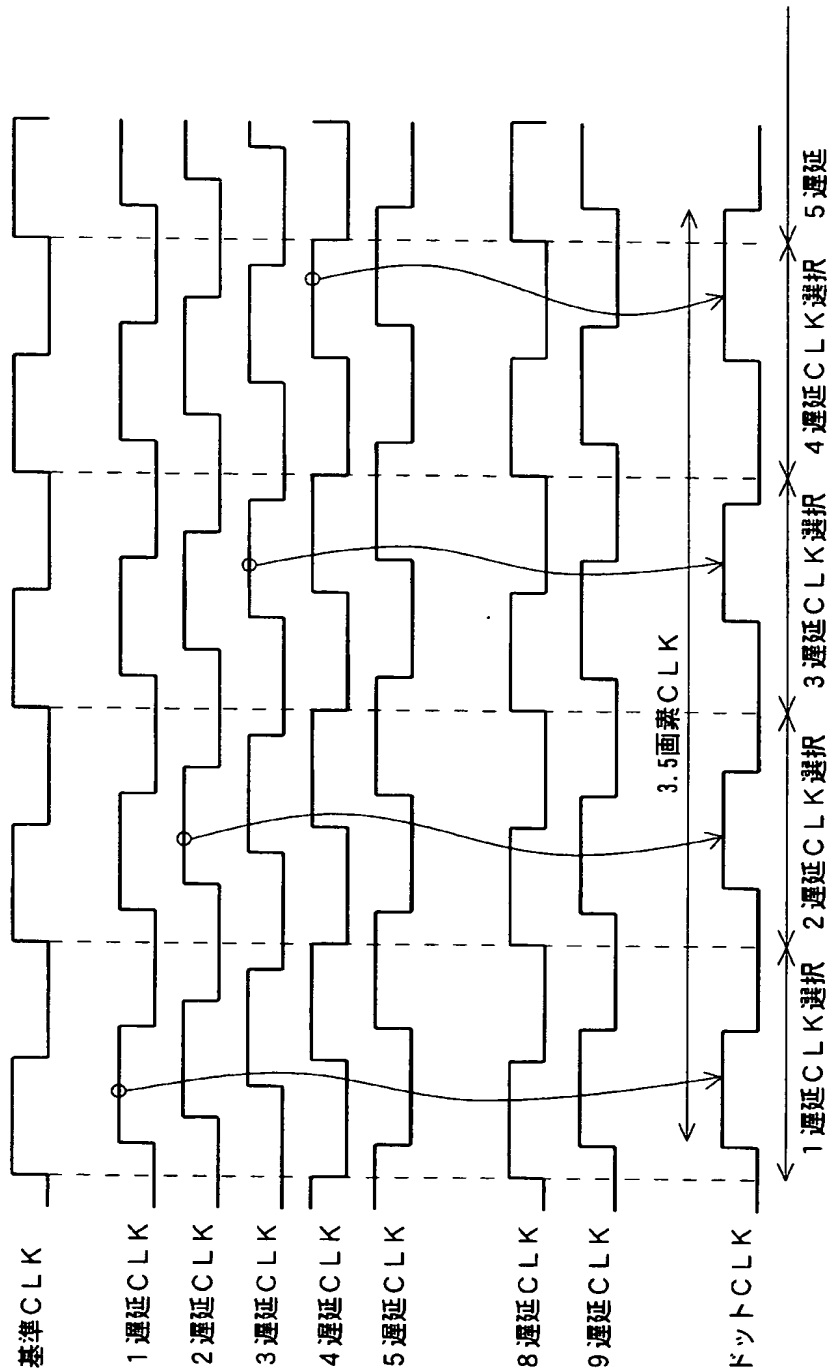


【図 5】

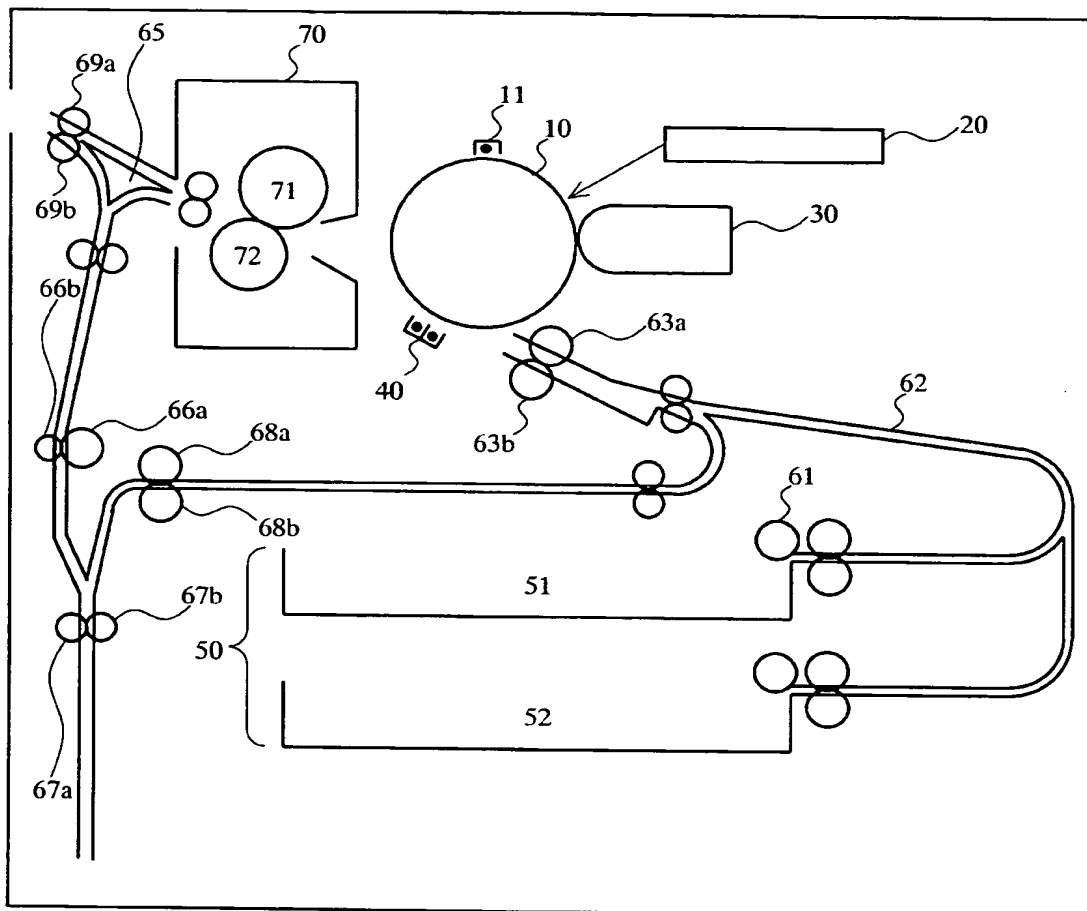




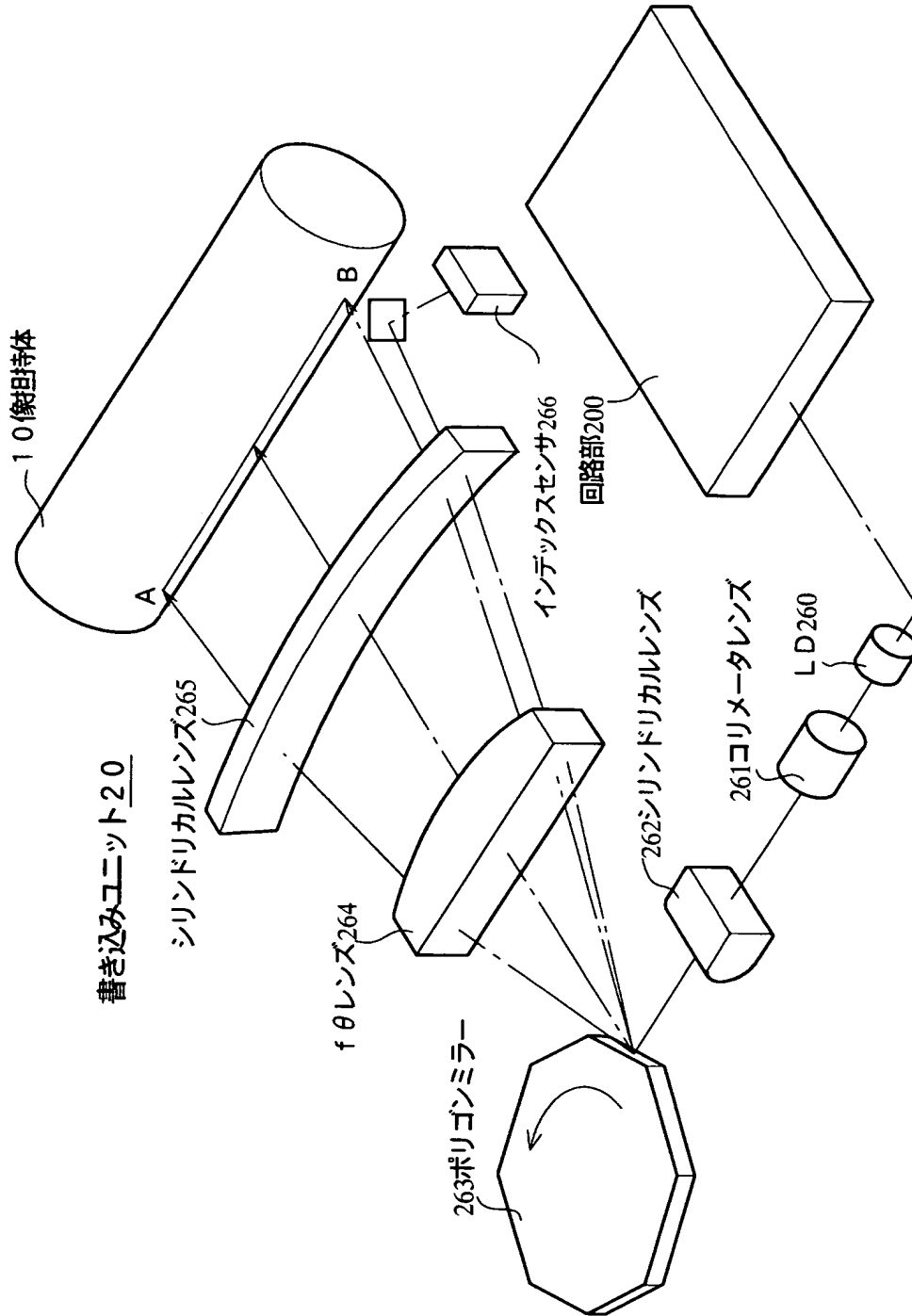
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 両面画像形成する際の表裏画素ずれを、精度よく解消する。

【解決手段】 画像形成する画素の基準となるドットクロックに基づいて各画素の露光を記録紙の両面に順次行う際に、一方の面について形成された像と他方の面に形成された像とのずれを誤差情報として検出するずれ検出手段と、基本クロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、前記ずれを調整すべき面について生成するドットクロックの立ち上がりもしくは立ち下がりタイミングを変化させるデジタルディレイ式ドットクロック調整手段と、前記ずれ検出手段で検出された前記誤差情報に応じて前記ずれを補正するように、前記デジタルディレイ式ドットクロック調整手段での複数の遅延クロックの選択を制御する制御手段とを備え、主走査方向の3箇所以上でテストパターンを形成することで前記誤差情報を検出し、該3箇所以上の誤差情報に基づいて前記ずれを補正するように前記デジタルディレイ式ドットクロック調整手段の制御を行う。

【選択図】 図1

特願 2 0 0 2 - 3 1 4 0 3 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 1 2 7 0 ]

1. 変更年月日 1 9 9 0 年 8 月 1 4 日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿 1 丁目 2 6 番 2 号  
氏 名 コニカ株式会社
2. 変更年月日 2 0 0 3 年 8 月 4 日  
[変更理由] 名称変更  
住 所 東京都新宿区西新宿 1 丁目 2 6 番 2 号  
氏 名 コニカミノルタホールディングス株式会社
3. 変更年月日 2 0 0 3 年 8 月 2 1 日  
[変更理由] 住所変更  
住 所 東京都千代田区丸の内一丁目 6 番 1 号  
氏 名 コニカミノルタホールディングス株式会社